

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11B 20/10

(45) 공고일자 1992년09월25일
(11) 공고번호 특1992-0008224

(21) 출원번호	특1989-0003836	(65) 공개번호	특1989-0015235
(22) 출원일자	1989년03월27일	(43) 공개일자	1989년10월28일
(30) 우선권주장	74326 1988년03월30일 일본(JP) 102511 1988년04월27일 일본(JP) 181892 1988년07월22일 일본(JP)		
(71) 출원인	가부시끼가이샤 히다찌세이사쿠쇼 미다 가쓰시게 일본국 도쿄도 지요다구 간다 수루가다이 4-6		

(72) 발명자
미야자와 쇼이찌
일본국 요코하마시 도즈카구 요시다쵸 1545 히다찌 하찌만야마아파트 223호
호리따 류타로
일본국 요코하마시 도즈카구 요시다쵸 1545 히다찌아와히로 303호
하세 겐이찌
일본국 후지사와시 구게누마마쓰 가오까 4-17-17
가와무라 사토시
일본국 요코하마시 가나자와구 데이찌 1-28 F-1202
고지마 신이찌
일본국 군마켄 다카사키시 시토야마마찌 1-25-3
이세찌 도시유키
일본국 요코하마시 도즈카구 요시다쵸 594 히다찌요시다아파트 114호
백남기

(74) 대리인

심사관 : 이종화 (특허공보 제2001호)

(54) 데이터 세퍼레이터 및 신호처리회로

요약

내용 없음.

대표도

도1

영세서

[발명의 명칭]

데이터 세퍼레이터 및 신호처리회로

[도면의 간단한 설명]

제1도는 본 발명에 관한 인코더/디코더를 내장한 데이터 세퍼레이터의 1실시예를 도시한 회로블럭도.

제2도는 제1도에서의 VDC(8)의 구체적인 실시예를 도시한 회로도.

제3도는 제1도에서의 위상비교기(5)의 구체적인 실시예를 도시한 회로도.

제4도는 제1도에서의 T-1변환치지평프회로(14)의 구체적인 실시예를 도시한 회로도.

제5도는 제1도에서의 주파수비교기(13)의 구체적인 실시예를 도시한 회로도.

제6도는 제1도에서의 차지프회로(6)의 구체적인 실시예를 도시한 회로도.

제7도는 제1도에서의 2-7디코더부(10-1)의 구체적인 실시예를 도시한 회로도.

제8도는 제7도에 도시한 2-7디코더회로(72)의 디코드규칙을 도시한 회로도.

제9도는 제1도에서의 2-7인코더부(10-2)의 구체적인 실시예를 도시한 회로도.

제10도는 제1도에서의 라이트 프리보상회로(46)의 구체적인 실시예를 도시한 회로도.

제11도는 제10도에 도시한 위상시프트회로(106)에서의 위상시프트를 도시한 도면.

제 12도는 제 10도에서의 위상시프트회로(106)의 위상시프트의 타이밍을 도시한 타이밍도.

제 13a도는 제1도에서의 동기회로(9)의 구체적인 실시예를 도시한 도면.

제 13b도는 제 13a도에서의 폴립플름(152)의 구체적인 회로구성을 설명하기 위한 도면.

제 14도는 A-1는 제 3a도에서의 주요부의 파형을 도시한 파형도.

제 15a, b도는 BiCMOS게이트와 CMOS게이트의 특성을 설명하기 위한 회로도.

제 16도는 본 발명에 관한 인코더/디코더를 내장한 데이터 세퍼레이터의 다른 실시예를 도시한 회로 블록도.

제 17도는 제 16도의 실시예에서의 윈도우 센터 조정회로의 하나의 구체적인 실시예를 도시한 회로도.

제 18도는 제 16도의 실시예에서의 동기회로의 구체적인 회로를 도시한 도면.

제19도는 제16도의 실시예에서의 윈도우 에러검출회로(300)의 구체적인 실시예를 도시한 도면.

제20도는 제16도의 실시예에서의 마이크로 프로세서(250)에서 실행되는 조정모드의 프로그램의 1예를 도시한 흐름도.

제21a~d도는 제16도의 실시예의 동작을 도시한 타이밍도.

제 22a, b도는 종래의 디스크장치에서의 문제점을 설명하기 위한 구서도 및 파형도.

★ 도면의 주요부분에 대한 부호의 설명

8 : VOC 14 : 시간-전류(T-I)변환차지펌프

6 : 차지평 프회로 5 : 위상비 교기

13 : 주파수비교기 9 : 동기회로

7 : 루프 필터 10-1 : 2-7디코더부

10-2 : 2-7인 코더부

[발명의 상세한 설명]

본 발명은 자기디스크장치 또는 광디스크장치의 리드/라이트회로에 관한 것으로, 특히 저 소비전력으로 고 전압회로를 구성하는데 가장 적합한 데이터 세퍼레이터 및 신호처리회로에 관한 것이다.

종래에 있어서 Western Digital사 제품의 WD_{10C33}는 모두 CMOS로 구성되어 있으므로 약 10Mbps까지의 데이터 세퍼레이트 밖에 대응할 수 없다. 이것은 다음에 상세히 기술하지만, 특히 CMOS의 동작속도에 기인하고 있어 15Mbps이상의 데이터 세퍼레이터를 구성할 수 없다.

또 SSI사의 320532와 같이 데이터 세퍼레이터와 2-7인 코드/디코더회로를 모두 바이폴라트랜지스터로 구성하고 있으므로, 총소비전력이 1W에 가깝게 되어 소형의 패키지에 봉해넣는데는 신뢰성에 문제가 있었다.

데이터 세퍼레이터중의 동기화로인 윈도우 생성회로를 고려해본다. 윈도우 생성회로는 제22도A에 도시한 디코드 드라이브시스템의 일부를 구성하고 있다. 디스크원판(1)에서 리드된 데이터는 리드/라이트회로(3)에 의해서 증폭되고, 펄싱정형회로(4)에 의해 펄스신호로 변환한다. 이 펄스신호가 제22도B에 도시된 원래의 라디오(RAWRD)(16)이고, 데이터 세퍼레이터내의 위상동기회로(12)는 RAW RD(16)에 VCC클럭(VCCCLK)(15)를 동기시켜 VCCCLK(15)에서 윈도우 생성회로(9)에서 위리드신호(16)의 펄스를 검출하기 위한 윈도우를 생성하고, 이 윈도우를 사용해서 동기화리드 신호(SRD)(17)를 만들어 낸다. 제22도A에 있어서 (10)는 데이터를 변환하는 인코더/디코더이고, (11)는 디스크 콘트롤러, (2)는 스피니들모터이다. 또(18)는 윈도우에 대응하는 동기클럭(SCLK), (19)는 라이트신호이다.

그러나 원리드신호(16)은 디스크원판(1)의 회전변동이나 재생시의 노이즈, 또 리드/라이트회로(3)이나 파형정회로(4)등의 전자회로가 발생하는 노이즈등에 의해 제22도B에 도시한 바와같이 지터성분이 있다.

통상적으로 이 지터의 값이 원도우폭을 중심으로 ± 50 가 있다고 하면, ± 40 나 되고 만다.

이 지터성분의 발생기구에 대해서 설명하면, 디스크원판(1)에서의 파형재생과정에 있어서, 제22도 8에 도시한 바와 같이 실제의 헤드재생파형은 단일자화변전의 헤드재생파형의 합성파형으로 된다. 그 때문에 자화반전각각이 작을수록 자화변전의 이득 그 전후의 헤드재생파형의 피크는 제22도 8에 도시한 바와 같이 이 성분의 단일 자화변전의 헤드 재생파형에 비해 시프트된다. RAWPO(16)는 실제의 헤드 재생파형의 피크를 검출해서 펄스하고 있으므로, RAWPO(16)의 앞 에지는 시프트된다. 일반적으로 디스크내에 기록된 데이터는 랜덤 데이터 때문에 이 피크 시프트의 현상이 많이 발생한다.

한편, 데이터 세분화데이터내의 위상동기화로(12)는 피크시프트등의 고속변동에는 추종하지 않는다. 따라서 원도우 생성회로(9)에서 원리드 신호(16)의 펄스를 검출하기 위한 원도우를 생성할때에 원도우의 중심에 리드신호가 위치하도록 고정밀도의 동기회로가 필요한 것을 알 수 있다.

그러나 동기회로로써의 윈도우 생성회로(9)를 CMOS게이트로 구성하면 윈도우 센터의 맞춤을 고정밀도로 할 수 있다.

상술한 바와 같이 통상적인 하드디스크의 리드신호는 윈도우의 $\pm 40\%$ 이상 동요하므로, 윈도우센터의 맞춤이 약 $\pm 8\%$ 의 정밀도로 할 수 없으면 리드신호의 재생이 불가능하게 된다. 전자의 윈도우의 센터 머긔남은 $\pm 20\%$ 정도로서 통상적인 요구값 $\pm 8\%$ 이내로 수습되지 않는다.

이것은 CMOS게이트의 경우 레이아웃시의 배선길이가 길어지면 그 배선부하에 의해 게이트지연이 크게 영향을 받는 것, 또 윈도우 생성회로내의 2개의 신호의 동작주파수에 큰 차가 있으므로 국부발열에 차가 생겨서 CMOS게이트의 게이트 지연에 불안정이 생기는 것에 기인하는 것으로 생각된다.

또, 앞서 설명한 종래기술중 후자에서는 모두 바이폴라로 구성되기 때문에 윈도우 생성회로부터 바이폴라 게이트로 구성하고 있으므로 윈도우 센터 맞춤은 고정밀도로 실현할 수 있지만 소비전력이 크게되어 저소비 전력의 점에서 배려되어 있지 않고, 시스템의 전원에도 너무 부담을 주었다.

또한, 상술한 윈도우센터의 조정을 위해서, 예를들면 일본국 특허공보 소화 59-167813호, "위상동기화로"에 기재된 바와 같이 램을 갖는 지연선을 사용하는 방법이 있다. 즉 램을 갖는 지연선을 거쳐서 원리드 신호를 윈도우 생성회로에 입력하는 구성으로 하고 램을 갖는 지연선의 지연량을 조정하는 조정회로를 마련한다. 그리고 이미 알려진 양을 지연시킨 데이터를 위상동기회로에 입력해서 에러발생의 유무를 검사하는 것에 따라 데이터 필스열과 윈도우사이의 위상어긋남량을 측정하고, 그 위상어긋남량을 적당한 값으로 조정하고 있다. 그러나 이 방법으로는 이미 알려진 양을 지연시킨 데이터가 필요하므로, 램을 갖는 지연선에 높은 정밀도가 요구되는 것, 램을 갖는 지연선의 온도 드리프트 및 시간경과에 따른 변화에 대해서 배려되어 있지 않아 코스트의 및 정밀도의 점에서 문제가 있었다.

본 발명의 목적은 저소비전력으로 리드신호를 정상적으로 재생할 수 있도록 윈도우 센터의 맞춤을 고정밀도로 할 수 있는 데이터 세퍼레이터를 제공하는 것이다.

본 발명의 목적은 저소비전력으로 리드신호를 정상적으로 재생할 수 있도록 윈도우 센터의 맞춤을 고정밀도로 할 수 있는 데이터 세퍼레이터를 제공하는 것이다.

본 발명의 다른 목적은 저소비전력으로 고정밀적이고, 또한 고정밀도의 윈도우센터의 맞춤이 가능한 1칩 데이터 세퍼레이터를 제공하는 것이다.

본 발명의 다른 목적은 1칩상에 구성된 신호처리회로로서 15Mbps이상의 전송속도에 대응할 수 있는 데이터 세퍼레이터, 인코더/디코더, 나아가서는 라이트 보상회로를 제공하는 것이다.

본 발명의 다른 목적은 지연수단은 사용한 자동위상조정을 행할 수 있는 데이터 세퍼레이터를 제공하는 것이다.

본 발명의 또다른 목적은 램을 갖는 지연수단을 사용하고, 리드신호를 정상적으로 재생하기 위한 윈도우 센터의 맞춤을 고정밀도로 행하기 위한 데이터 세퍼레이터를 제공하는 것이다.

상기 목적을 달성하기 위해 본 발명에 있어서는 데이터 세퍼레이터의 마날로그 회로부에서 고속성, 대전류구동, 저소비전력에 대응해서 바이폴라 트랜지스터와 MOS트랜지스터를 분할사용하고, 위상비교회로, 동기회로, 인코더/디코더회로, 라이트 보상회로등의 논리부에는 입력단이 MOS구성이고, 출력단이 바이폴라 구성인 BiCMOS게이트를 사용한 1칩 반도체 집적회로를 한다.

즉, 데이터 세퍼레이터의 VCO의 발진부는 전류출력으로 고속동작을 필요로 하므로 바이폴라 트랜지스터로 구성한다. 또, VCO의 입력단에 대해서는 입력단의 티크전류가 VCO의 성능저하로 되므로 고입력 임피던스의 MOS트랜지스터를 사용한다.

다음에 차지정프회로내의 대전류 커렌트 미러회로에서는 바이폴라 트랜지스터와 MOS트랜지스터에 비해 gm(전달콘덕턴스)이 큰 점을 이용해서 칩내의 본 회로의 정유면적을 작게하므로 바이폴라 트랜지스터를 주로 사용해서 구성한다.

그외의 마날로그회로는 전류구동인 바이폴라 트랜지스터에 비해 전압구동인 MOS트랜지스터의 저소비전력의 점을 이용하여 MOS트랜지스터로 구성한다.

다음에 데이터 세퍼레이터내의 논리부인 위상비교기 및 동기회로에서는 2개의 신호의 동작속도에 큰 차가 있으므로 상기 2개의 신호의 MOS트랜지스터로 구성한다.

다음에 데이터 세퍼레이터내의 논리부인 위상비교기 및 동기회로에서는 2개의 신호의 동작속도에 큰 차가 있으므로 상기 2개의 신호의 전송경로에 국부발열차가 생긴다.

입력단이 CMOS이고, 출력단이 바이폴라 구성의 BiCMOS게이트를 적어도 1개이상 사용해서 이 경로상의 게이트를 국부발열차에 의한 게이트의 전송지연시간의 영향을 적게하고, 동시에 상기 2개의 신호의 전송경로의 게이트단수를 같게 하는 것에 의해 2개의 전송경로의 지연시간차에 의한 위상어긋남을 극히 적게한다.

즉, 윈도우 생성회로인 동기회로내에서 출력부하가 큰 부분에 대해서는 입력단이 CMOS이고, 출력단이 바이폴라 구성으로 되어 있는 BiCMOS게이트를 사용해서 출력부하 및 국부발열에 의한 게이트지연의 영향을 적게하고, 출력부하가 작은 부분에 대해서는 CMOS의 구성을 사용한다.

또, 본 발명에 있어서는 디스크장치에서의 리드 데이터가 동기회로내의 동기데이터생성물에 도달하기까지 통과하는 게이트단수와 위상동기회로의 VCO출력인 VCO클럭이 동기 회로내의 동기 데이터 생성부에 도달하기까지 통과하는 게이트단수를 갖게한다. 그리고, 본 발명에 있어서는 상기 게이트의 배선길이를 $50\mu\text{m}$ 이내의 정밀도로 측정시키는 것에 의해 2개 신호의 게이트의 전송지연시간의 머긔남에 의한 위상어긋남을 0.3ns 이내로 억제할 수 있고, 또 소비전력을 극히 작게 억제할 수가 있다. 또 15Mbps대용인 경우 0.3ns 이상의 지연차는 윈도우 마진으로써 허용할 수 없는 값이다.

또, 부호 인코더, 부호 디코더회로의 클럭공급 게이트는 출력부하가 크므로 고속동작의 저하요인으로 되므로, 클럭 공급게이트에 출력부하에 대한 동작속도의 의존성이 적은 상기 BiCMOS게이트를 사용해서 구성

한다.

다음에 라이트보상회로는 인코딩된 라이트부호 데이터의 패턴을 검출하여 그 패턴에 대응한 지연량을 라이트부호 데이터에 가한다. 상기 패턴검출에는 고속성이 요구되고, 라이트부호 데이터에 가하는 지연량에 대하여 넓은 온도범위에 걸쳐서 높은 정밀도가 요구된다. 상기 2가지의 요구는 라이트 보상회로내의 구성 게이트 BiCMOS게이트를 사용하는 것에 의해 만족된다.

BiCMOS게이트의 전송지연시간은 다음의 (1)식으로 표현된다.

$$t_{pd} = t_0 + (1/\beta) \cdot (V_{LT} \cdot C_L / I_0) \dots\dots\dots (1)$$

t_0 : 부하용량 C_L (제15도 A의 (309))에 의존하지 않는 지연시간.

I_0 : MOS트랜지스터의 드레인전류.

V_{LT} : 논리임계값 전압.

β : 바이폴라 트랜지스터의 전류증폭율($\beta \approx 100$).

한편, CMOS게이트는 제15도 B에 도시한 구성으로 되어 있고, 그 전송지연시간은 다음의 (2)식으로 표현된다.

$$t_{pd} = t_1 + (V_{LT} \cdot C_L / I_0) \dots\dots\dots (2)$$

t_1 : 부하용량 C_L (제15도 B의 (314))에 의존하지 않는 지연시간.

따라서, BiCMOS게이트의 전송지연시간은 CMOS게이트에 비해 $(1/\beta)$ 만큼 부하용량 C_L 의 영향을 좀처럼 받지 않는다.

한편, 상기 V_{LT} 와 I_0 는 온도에 의한 영향을 받기위해 상기 전송지연시간이 영향을 받는다. 이 경우에서 또 BiCMOS게이트는 $(1/\beta)$ 만큼 CMOS게이트에 비해 좀처럼 영향을 받지 않는다.

또, BiCMOS게이트는 제15a도에 도시한 구성보다 출력단의 NPN트랜지스터(307), (308)간의 관류전류가 흐르는 시간이 적고, 또 상기 출력단이 바이폴라 구성의 게이트회로를 사용해도, 출력단이 접속되는 입력단은 MOS트랜지스터(301), (302), (303), (304)로 구성되어 있으므로 전류는 거의 0이다. 따라서, 상기 출력단이 바이폴라 구성으로 되어 있는 게이트회로를 사용해도 소비전력은 모두 바이폴라 트랜지스터로 구성된 게이트회로에 비해 매우 작다.

또, 출력단의 구동부하가 작은 경우는 제15도 B에 도시한 CMOS트랜지스터(310), (311), (312), (313)으로 구성된 게이트 회로를 사용하는 것에 의해 저소비전력화가 도모된다.

이상과 같이 바이폴라와 CMOS가 혼합된 BiCMOS프로세스를 사용한 회로를 마련하는 것에 의해 총소비전력이 700mW이하이고, 15Mbps이상의 전송속도에 대응할 수 있는 12점화한 데이터 세퍼레이터를 제공할 수 있다.

또한, 본 발명에 있어서 윈도우 생성수단인 동기회로에 원래의 리드신호를 입력할때, 가변지연수단을 거쳐 조정모드시에 지연량을 순차적으로 시프트하여 동기회로출력을 윈도우 에러검출수단으로 모니터해서 윈도우에서 벗어난 에러가 발생했는가 아닌가를 검출하고, 재생복호가 가능한 지연량중 최대와 최소의 것을 기준으로 해서 필요로 하는 지연량을 계산하여 지연모드시의 최적값을 설정하는 구성을 부가한다.

이것에 의해 필요로 하는 지연량은 상대적인 내부비등으로 결정할 수 있게 되어, 지연수단의 정밀도나 온도특성에 영향을 받지않고 윈도우 센터의 맞춤을 가능하게 한다.

이하 본 발명의 실시예를 도면에 따라 설명한다. 먼저, 제1도에 따라 본 발명을 2-7인코더/디코더를 내장한 데이터 세퍼레이터 IC에 적용한 실시예를 설명한다.

제1도에 있어서 2-7인코더/디코더 내장데이터 세퍼레이터 IC는 데이터 세퍼레이터부, 2-7인코더/디코더부, 어드레스마크(AM)생성회로부, 라이트보상회로(라이트 프리보상회로)부로 된다. 데이터 세퍼레이터부는 VCO(Voltage Control Oscillator)(9), 시간-전류(T-I)변환치지 펌프(14), 차지펌프회로(6), 위상비교기(5), 주파수비교기(13), 동기회로(39) 및 외부의 루프 필터(7)로 형성된다.

2-7인코더/디코더부는 데이터 세퍼레이터부 내의 동기회로(39)에서 생성된 동기 데이터SRD(17)과 동기클럭 SLCK(18)로, 리드 NRZ데이터(\overline{NRZRD})로 변환하는 2-7디코더부(10-1)과 데이터 라이트시 라이트 NRZ데이터(\overline{NRZWD})를 2-87코드로 변환하는 2-7인코더부(10-2)로 형성된다.

제1도에 있어서 실선으로 둘러싸인 범위가 1점화된 IC이다. 동일 도면상의 각 단자의 설명은 다음에 순차적으로 설명한다. 2-7인코더/디코더부의 동작원리에 대해서는 예를들면 USP No.4115768, USP No.4146909를 참조하기 바란다.

데이터 세퍼레이터부의 위상비교기(5), 주파수 비교기(13), T-I변환차지펌프(14), 차지펌프(6), 루프필터(7) 및 VCO(8)는 위상동기회로를 구성하고, 원리드신호(RAWRD)(16)에 VCO클럭(VCOCLK)(15)을 동기시키는 기능을 갖는다.

또, 위상비교기(5) 및 T-I변환차지펌프회로(14)는 디스크에서의 원리드신호(RAWRD)(16)에 데이터라인 경우에 동작하고, 주파수비교기(13) 및 차지펌프회로(6)은 디스크에서 원리드신호(RAWRD)(16)이 동기패턴일

때에 동작하여 주파수 인입을 행한다.

제1도에 도시한 IC중의 VCO(8)의 구체적인 실시예를 제2도에 도시한다. VCO(8)은 입력단(81), 커패시터 회로(82) 및 VCO발진부(83)으로 형성된다. 입력단(81)은 동일도면에서 명백한 바와 같이 입력 임피던스가 높은 MOS트랜지스터로 구성하고, 그 출력을 커패시터회로를 거쳐서 VCO발진부(83)에 전달한다. VCO발진부(83)은 고속동작이 요구되므로 바이폴라 트랜지스터로 구성한다.

다음에 데이터 리드시 유효하게 되는 위상비교기(5)의 구체적인 회로구성의 실시예를 제3도에 도시한다. 이 위상비교기(5)에서는 자기디스크(1)에서의 리드데이터인 RAWRD신호(16)와 VCO(8)의 출력인 VCOOUT신호(15)의 2개의 신호의 위상차를 검출하고, 위상차에 해당하는 시간 폭의 펄스(\overline{TC} , \overline{TS} 및 이들의 펄스의 시간차를 다음단계에서 생성하기 위한 샘플링 펄스 \overline{TS} 를 출력한다.

이 위상비교기(5)를 구성하는 회로요소중 사선을 그은 게이트(21)~(32)와 플립플롭(FF)(33)~(36)은 게이트 지연의 변동을 적게하기 위해 출력단이 바이폴라 트랜지스터로 구성된 BiCMOS게이트를 사용하고 있다.

제4도에는 마찬가지로 제1도의 T-1변환차지점프회로(14)의 구체적인 실시예를 도시한다. 앞서의 제3도의 회로출력인 \overline{TD} , \overline{TS} , \overline{TC} 의 펄스를 받아 \overline{TD} , \overline{TC} 의 펄스차를 전압으로 변화하는 적분회로(40) 및 \overline{TS} 의 펄스에 의해 적분회로(40)의 출력을 샘플링하여 유지하는 샘플홀드회로(41), 샘플홀드회로(41)의 출력을 전류로 변환하는 전압-전류회로(45)로 된다.

또, T-1변환차지점프회로(14)의 입력단에는 \overline{TD} , \overline{TS} , \overline{TC} 의 펄스를 받는 BiCMOS게이트(42), (43), (44)가 마련되어 있다.

이 T-1변환차지점프회로(14)의 출력은 제1도에 도시한 바와 같이 IC의 외부에 마련된 루프필터(7)에 접속되고 다시 전압으로 변환되어 VCO부(8)에 인가된다. 위상비교기(5), T-1변환차지점프회로(14), 루프필터(7), VCO(8)은 폐쇄루프를 구성하고, 최종적으로 RAWRD(16)과, VCOOUT(15)의 2개의 신호의 위상차가 0으로 되도록 부귀환이 작동한다.

단, 디스크기판(1)에서의 리드데이터 RAWRD(16)이 동기 패턴일때에는 제1도의 동기필드검출회로(37)이 동기필드인 것을 검출하고, 동기필드 카운터회로(38)이 동기필드인 것을 확인하며, 동시에 일정한 시간동안 계속해서 확인한다. 이 확인시간을 펄스로써 동기필드카운터(38)은 $\overline{SYNCDetect}$ 에 출력하여 본

IC의 외부에서 $\overline{PHASESYNC}$ 입력에 접속된다.

따라서, 디스크에서의 리드데이터(RAWRD)가 동기패턴일때 $\overline{PHASESYNC}$ 에 일정시간의 펄스가 입력되고, 이 기간동안 위상비교기(5) 및 T-1변환차지점프회로(14)는 동작을 정지하고, 그대신 주파수비교기(13) 및 차지점프회로(6)이 동작하여 주파수 인입을 행한다.

주파수비교기(13)은 제5도에 도시한 바와 같이 출력단이 바이폴라 구성의 BiCMOS플립플롭(50), (51)과 BiCMOS게이트(52)~(54)로 구성된다. 여기에서는 RAWRD에서 입력된 SYNC패턴이 VCO출력의 1/4의 주파수인 경우로써 VCO출력의 1/4분주한 출력과 RAWRD에서 입력된 SYNC패턴의 신호의 주파수차 및 위상차를 검출하고, VCO의 클럭이 진행하고 있는 경우는 그 차분만 DEC출력에서 펄스가 출력되고, 또 VCO클럭이 지연되고 있는 경우는 그 차분만 INC출력에서 펄스가 출력된다.

다음에 INC신호와 DEC신호를 받는 것이 제6도에 도시한 차지점프회로(6)이다. 차지점프회로(6)은 INC신호 또는 DEC신호의 펄스폭에 해당하는 시간만큼 MOS와 바이폴라가 복합된 대전류 커패시터회로(61)에 의해 결정되는 전류를 INC펄스의 경우는 흘려보내고, DEC펄스의 경우는 끌어들이어서 루프필터(7)의 전압을 변화시킨다. 여기서 커패시터회로(61)에서 NPN형의 바이폴라 트랜지스터회로를 사용한 것은 차지점프(CPOT)가 인입전류량이 매우 크므로, MOS로 구성하면 gm이 작아서 트랜지스터의 크기가 매우 크게되기 때문이다. 단 전류를 흘려보내는 것은 바이폴라의 PNP형의 트랜지스터의 전류증폭율이 매우 작으므로 일 부러 P-MOS트랜지스터로 구성하였다.

이어서 이상 설명한 루프에 의해 주파수 인입, 위상의 인입을 완료하고, 동기회로(39)에 의해 RAWRD를 VCO클럭에 동기한 신호(SRD)로 변환하여 제7도에 도시한 2-7디코더부(10-1)로 입력된다. 2-7디코더부(10-1)은 12비트의 시프트 레지스터(71) 및 제8도에 도시한 디코드 규칙을 실행하는 2-7디코더(72), 플립플롭(73) 및 시프트 레지스터(71)에 클럭을 공급하는 BiCMOS게이트(74), (75)로 구성된다. 시프트 레지스터(71)은 제8도에 도시한 2-7코드의 패턴을 검출하기 위한 비트스트림을 생성하고, 2-7디코더(72)는 제8도에 도시한 2-7코드에서 NRZ신호로 변환하는 기능을 갖는다. 여기에서 BiCMOS게이트를 사용한 것은 부하가 크기 때문이다.

다음에 라이트시에는 2-7인코더부(10-2), 라이트보상회로(46), 어드레스마크(AM)생성회로(47)이 사용된다. 2-7인코더부(10-2)는 제9도에 도시한 바와 같이 NPN신호의 패턴을 검출하기 위한 비트스트림을 생성하는 11비트의 시프트 레지스터(95)와 제8도에 도시한 NRZ신호에서 2-7코드의 변환규칙을 실행하는 2-7인코더(96) 및 시프트 레지스터(95)의 클럭공급을 위한 BiCMOS게이트(93), (94)로 된다.

2-7인코더부(10-2)의 출력은 제10도에 도시한 라이트 보상회로(46)에 입력된다. 라이트프리보상회로(46)은 시프트레지스터(104), 라이트프리보상 패턴 검출회로(105) 및 위상 시프트회로(106)으로 구성된다. 라이트 보상회로(46)에서는 2-7코드의 패턴으로 1과 1사이의 0의 수 n과 그 다음의 1과 1사이의 0의 수 m의 비트스트림의 상태를 제10도에 도시한 시프트레지스터(104)에서 생성하고, 제11도에 도시한 위상시프트 패턴중 1개를 제10도에 도시한 라이트프리보상패턴 검출회로(105)에서 검출하여 패턴에 따른 위상시프트를 위상시프트회로(106)에서 행하게 한다.

그때의 위상시프트의 지연은 내장지연이던가 또는 ECLK₁, NCLK, LCLK₁, LCLK₂의 단자에서의 외부지연에 의

해 설정한다. 그 위상시프트의 타이밍을 제12도에 도시하였다.

여기에서 N은 표준타이밍, T1은 표준타이밍 보다 위상이 빠른 타이밍신호를, T2는 위상이 더욱 빠른 타이밍 신호를, L1은 표준타이밍보다 위상이 늦은 타이밍 신호를, L2는 더욱 늦은 타이밍신호를 나타낸다. 여기서도 시프트 레지스터(104)의 출력공급 게이트로써 부하가 큰 점을 고려해서 BiCMOS게이트(101)~(103)을 사용하고, 또 지연을 가하는 경로의 게이트에 BiCMOS게이트(107)~(110)를 사용한다. 또, 플립플롭(116)~(120)의 Q단자의 입력신호는 라이트보상을 실행하기 위해, 그 입력버퍼(111)~(115)는 지연량의 불안정이 적은 BiCMOS게이트를 사용한다.

이상 상세하게 기술한 본 실시예에 의하면 BiCMOS게이트 및 바이폴라 트랜지스터, MOS트랜지스터를 각 용도에 따라 분할사용하는 것에 의해 고속전송속도에 대응할 수 있는 2-7인코더/디코더 내장 데이터 세퍼레이터를 저소비전력으로 실현할 수 있다. 또, 제1도에 도시한 데이터 세퍼레이터 IC의 각 단자의 설명은 실시예를 설명할때 기술했으므로 참조하기 바란다.

다음에 제1도중의 동기회로(39)의 윈도우 센터 맞춤을 고정밀도로 실현하기 위한 실시예를 제13도 A, B 및 제14도를 참조해서 설명한다. 동기 회로(39)는 상승한 바와 같이 VCO클럭을 기본으로 윈도우를 생성하고, 이 윈도우에 동기한 리드신호(SRD)(17)를 발생하여 동기클럭(SLCK)(18)과 함께 출력한다.

제13a도에 있어서, 원리드 신호(RAWRD)(16)이 게이트(130)에 입력되면 게이트(136), (137), (138), (131), (139)를 거쳐 래치회로인 플립플롭(FF)(152)가 세트된다.

한편, VCOCLK(15)도 게이트(133)에서 입력되고, (140), (141), (142), (134), (143), (143), (144), (145), (145)를 거쳐서 동기 데이터 생성부로써의 플립플롭(FF)(153)의 Q단자로 입력된다. FF(153)은 FF(152)의 Q출력의 데이터(160)를 게이트(146)의 출력(161)의 타이밍에서 세트한다. FF(153)이 세트되면 게이트(149)에 의해 FF(152)의 리세트신호가 생성되어 Q단자로 입력되어서 FF(152)는 리세트된다.

즉, 동기회로(39)에서는 VCO클럭(15)의 신호를 기본으로 게이트(146)의 출력으로 윈도우를 생성하고, 그 상승에지에 의해 원리드신호(16)를 동기데이터생성부(153)내로 입력하는 것에 의해서 동기화리드신호(SRD)(17)로써 출력하고, 게이트(135)의 출력클럭을 동기클럭(SCLK)(18)로써 출력한다.

이 경우, 윈도우는 제14도에 도시한 바와 같이 FF(152)가 세트된 사이클의 게이트(146)의 출력의 상승에서 다음의 상승까지이다. 따라서 VCO클럭(15)의 상승위상과 원리드 신호(RAWRD)(16)의 상승위상이 일치하도록 PLL안정시, 동기데이터 생성부인FF(153)의 상승은 윈도우의 중심에 있지 않으면 안된다. 즉,

$$T_s = T_r = T_z \dots \dots \dots (3)$$

여기에서 T는 윈도우폭을 나타낸다. 이 식이 성립되기 위해서는 원리드 신호(RAWRD)(16)이 게이트(130)에서 FF(152)의 Q출력까지 전송하는 지연시간 T_r 와 VCO클럭(15)가 게이트(133)에서 게이트(146)까지 전송하는 지연시간 T_z 를 같게하지 않으면 안된다.

한편, 게이트(130)에서 FF(152)까지의 회로내에서 게이트(130) 및 게이트(131)의 출력의 배선부하용량 Q_L (154), (155)가 크므로 본 실시예에서는 게이트(130), (131)로써 BiCMOS게이트를 사용한다. 또 게이트(130)에서 FF(152)의 Q출력까지의 게이트단수와 게이트(133)에서 게이트(146)까지의 게이트단수를 같게하는 것에 의해 전송지연시간 T_r 과 T_z 를 같게 할 수가 있다. FF(152)내의 게이트단수에 대해서는 제13도B에 도시한 바와 같이 3단이다. 그 때문에 본 실시예에서는 이 게이트 3단분의 게이트 지연에 대하여 VCO클럭 쪽에 3단의 인버터 게이트(144), (145), (146)를 삽입하고 있다.

또, 원리드 신호(RAWRD)(16)과 VCOCLK(15)각각의 동작주파수가 2배이상 차이가 나므로 국부발열의 차가 생기지만, BiCMOS게이트를 사용한 것으로 온도변환시에도 $T_r = T_z$ 를 유지할 수 있다. 또 본 실시예에서는 일부의 게이트에 BiCMOS게이트를 사용했지만, 모두 BiCMOS게이트를 사용하는 것에 의해 더욱더 정밀도는 향상된다.

다음에 본 발명의 제2의 실시예를 제16~제21도에 따라 설명한다. 본 실시예에서는 제1도의 실시예의 IC 내에 추가블럭으로써 윈도우센터 조정회로(200) 및 윈도우 에러검출회로(300)이 들어가 있다. 제 17도에 는 윈도우센터 조정회로(200)의 내부구성의 하나의 구체적인 실시예를 도시한다.

제18도에는 동기회로(39) 대신에 사용하는 동기회로(39')의 내부구성의 하나의 구체적인 실시예를 도시한다. 제19도에는 윈도우 에러 검출회로(300)의 내부구성의 1예를 도시한다. 윈도우에러 검출회로(300)은 다음에 상세히 기술하는 바와 같이 시프트 레지스터와 배타적 OR게이트로 구성된다. 제17도의 윈도우 센터조정회로(200)은 REFCLK에서 제21도A에 도시한 4T패턴으로써의 테스트패턴(172)를 작성하는 신호생성회로(17), 리드신호(RAWRD)(16)과 테스트패턴(172)를 전환하는 스위치(171), CMOS인버터게이트 $6C_1 \sim 6C_n$ 과 BiCMOS인버터게이트 $6B_1 \sim 6B_n$ 을 포함한 지연버퍼라인(173), 지연버퍼라인의 각 탭중 1개를 선택하여 출력하는 셀렉터(174) 및 셀렉터의 전환을 행하는 레지스터(175)로 구성된다. 동기회로(39')는 제13도A에 도시한 동기회로(39)와 동일기능을 갖고 있지만 윈도우 센터 조정회로를 갖고 있으므로, 게이트지연보정용 더미 게이트외에는 불필요하게 되어 제 18도에 도시한 바와 같이 DFF 2개의 BiCMOS인버터 2개로 구성된다.

그런데 윈도우센터 조정회로(200)의 지연수단(173)은 인버터 게이트를 2개 조합해서 지연버퍼로써 사용한다.

여기에서 전단의 $6C_k$ ($k=1 \sim n$)인버터는 배선거리가 매우 짧고 부하회로도 1개이므로 CMOS로 구성한쪽이 고속으로 된다. 이것에 대해서 후단의 $6B_k$ ($k=1 \sim n$)인버터는 n 의 값이 크게됨에 따라 셀렉터(174)까지의 배선거리가 크게되고, 또한 이 배선거리를 같게하는 것은 곤란하다. 이 때문에 부하용량과 부하저항이 불안정하여 각 지연버퍼의 값이 불안정하게 된다. 윈도우센터를 정밀도 좋게 설정하기 위해서는 각 지연버퍼의

값이 같지 않으면 안된다.

이와 같은 이유로 후단의 6B, 인버터는 부하용량의 영향을 거의 받지 않는 BiCMOS게이트로 구성한다.

원도우에러 검출회로(300)은 제19도에 도시한 바와 같이 0형의 플립플롭 5단(191)~(195)로 구성된 5비트의 시프트 레지스터의 1비트패와 5비트패를 배타적 OR회로(196)에 입력하는 구성을 갖는다. 플립플롭(197)은 래치기능을 갖는다.

이하, 본 실시예의 동작을 제17도, 제19~제21도를 참조해서 설명한다. 제17도에서 신호생성회로(17)은 상술한 바와 같이 기준클럭(REFCLK)에서 테스트신호(172)로서 4T패턴(1000 1000...)의 반복신호를 생성한다. 물론 4T패턴이외라도 구성이 가능하다. 리드게이트가 니게이트 되면 조정모드가 개시되어 전환스위치(171)은 테스트신호(172)를 선택한다.

원도우조정회로(200)은 마이크로 프로세서(25)에 의해 제어된다. 제20도에 마이크로 프로세서(25)의 흐름도의 1예를 도시한다. 먼저 조정모드로 되면 제17도의 셀렉터(174)의 값을 최소값부터 순차적으로 증가시키고(201), 원도우에러 검출회로(300)의 출력의 WERR(164)가 액티브로 되어 있는가를 판단한다(202). 선택된 탭이 원도우 범위내의 지연량이면 원도우에러 검출회로(300)의 시프트레지스터의 1비트패와 5비트패는 항상 같은 값으로 되는 배타적 OR게이트(196)의 출력은 "0"이다. 지연량이 원도우에서 벗어나면, 제21도에 도시한 바와 같이, SRD(17)은 4T패턴에서 벗어나 5T 또는 3T패턴으로 된다. 이 때문에 배타적 OR게이트(196)의 출력은 "1"로되고, 제21도0에 도시한 바와 같이, WERR(164)에 펄스가 출력(액티브)된다.

액티브로 되지 않으면, 증가를 계속하여 액티브로 된 시점에서 그때의 셀렉터값 A를 기억한다(203). 그리고 또 다시 증가를 계속하고(204), 다시 WERR(164)가 액티브로 된 시점(205)에서 셀렉터값B를 기억한다(206).

다음에 A값과 B값을 기본으로 1:1로 내분하는 값을 계산한다(207). 통상은 1:1로 내분하지만 이것은 사용자가 변경할 수 있다. 그리고 이 계산결과를 레지스터(175)에 프리세트하여(208), 조정작업(조정모드)을 종료한다. 또, 제21도 B.0에 도시한 파형은 SCLK(18)과 탭선택어드레스이다.

이 조정작업을 디스크에서 데이터를 리드하는 모드시 이외에 행하는 것에 의해 회로소자불안정, 온도드리프트 등에 의한 원도우센터 어긋남을 자동적으로 보정할 수 있게 되어 디스크장치의 리드데이터 마진을 최대한으로 넓게 할 수가 있다.

또, 상술한 실시예에 있어서 탭선택 어드레스의 내분등에 의해서 가장 적합한 지연량을 구하는 계산을 마이크로 프로세서(25)의 프로그램으로 실행하였지만, 제16도에 도시한 IC중에 가산기나 시프트 레지스터 등의 하드구성을 형성하는 것에 의해서도 마찬가지로 동작을 행하게 하는 것은 물론이다.

이상의 실시예에 있어서 인코더 및 디코더는 2-7코드의 경우를 기술했지만, 다른, 예를들면 1-7코드의 경우도 마찬가지로 BiCMOS게이트를 사용하는 것에 의해 고속전송속도에 대응할 수 있고, 동시에 저소비전력화를 실현할 수 있다.

이하 제1도와 제16도에 도시한 실시예의 IC단자설명을 보충한다. 단자명칭에 계속되는 IN, OUT는 입력, 출력단자를 나타낸다. 각 단자명칭에는 기능설명을 부가하였다.

WRITE GATE(IN) : 라이트시 본 단자를 "H"로 한다. 이것에 의해서 타이트상태, 즉 디스크에 타이트하는 NRZ 신호는 2-7부호로 변환해서 출력하는 상태로 한다.

소프트 셀렉터의 어드레스 마크 라이트시에는 "H"로, 또 검출시에는 "L"로 한다.

PHASESYNC(IN) : 리드 개시시 이 신호를 "L"로 하는 것에 의해서 PLL은 4T(1000)의 동기패턴으로 라이트된 입력데이터에 대해서 High Gain에서 주파수 위상비교를 개시한다. 일단, 동기화후에는 "H"로 하는것에 의해 PLL은 정상게인에서 위상비교모드로 된다.

이 단자에는 통상 SYNCDETECT 신호를 접속한다.

PSEL(IN) : RAWRD 및 OLYRD단자로 입력하는 디스크에서의 리드한 2-7부호의 극성에 맞춘다.

리드 데이터극성	PSEL단자
46도 H	H
46도 L	L

VCOIN(IN) : VCOOUT단자를 본 입력단자에 접속한다. 본 단자의 입력클럭이 PLL(12)의 퍼드백신호로써, 디스크에서의 리드데이터에 동기한다.

VCON(IN) : VCOOUT 단자를 본 입력단자에 접속한다. 본 단자의 입력클럭에 의해 클럭동기회로, 디코더회로가 동작한다.

RAWRD(IN) : 디스크에서 리드한 2-7부호의 입력단자로써, 입력신호의 리딩에지는 자화반전 타이밍이다. PLL(12)는 이 리딩에지를 사용해서 위상동기를 행한다.

REFCLK(IN) : 본 IC의 기준 클럭신호를 부여한다. 데이터 리드시(리드시)이외에는 이 기준클럭신호에의해 VCO(8)를 동기한다. 또, 데이터 라이트시(라이트시)에는 라이트클럭으로써 사용한다. 데이터전송비율의

배주파수의 클럭을 준다.

READ GATE(IN) : 리드시에는 이 단자를 "H"로 하는 것에 리드상태, 즉 디스크에서 리드한 2-7부호를 NRZ신호로 변환해서 출력하는 상태로 한다. 또 READ GATE 신호에 의해 카운터회로, 내부회로의 클럭전환, NRZ 신호의 출력을 인에이블하고, PLL(12)는 2-7부호에 대해서 위상동기를 개시한다.

DLYRD(IN) : 리드시에는 이 단자를 "H"로 하는 것에 리드상태, 즉 디스크에서 리드한 2-7부호를 NRZ 신호로 변환해서 출력하는 상태로 한다. 또 READ GATE 신호에 의해 카운터회로, 내부회로의 클럭전환, NRZ 신호의 출력을 인에이블하고, PLL(12)는 2-7부호에 대해서 위상동기를 개시한다.

OLYRD(IN) : RDSEL 단자를 "L"로 설정하면 본 단자에서 입력한 2-7부호가 동기회로(9)로 입력된다. 본 단자는 PLL과는 독립해서 있으므로 외부지연소자등으로 위상을 조정하는 것에 의해 PLL(12)의 정상위상 오차 및 게이트 지연오차 등에 의한 원도우센터 어긋남을 보정할 수가 있다.

RDSEL(IN) : 동기회로도입의 입력신호의 전환을 행한다.

RDSEL	동기회로도입의 입력신호
H	RAWRD 단자에서 입력한 2-7부호
L	DLYRD 단자에서 입력한 2-7부호

RESET(IN) : 전원통일시에 "L"로 하는 것에 의해서 내부회로를 초기화한다. 또 VCO의 출력클럭주파수를 중심주파수로 고정한다. 통상의 동작시에는 "H"로 유지한다.

EX SYNC IN(IN) : 4T(1000)패턴시 "H"를 출력하는 외부동기필드 검출회로(37)의 출력을 본 단자에 입력한다(소프트 섹터, 외부회로의 모드시에만 유효). 그 출력의 "H"상태를 2바이트 기간 검출한 후

SYNCDTECT 신호는 "L"로 되고 MODE SEL0~2에서 설정한 기간 "L"이 계속된 후 "H"로 된

다. SYNCDTECT 신호가 "L"기간중에 EX SYNC IN신호가 "L"로 된 경우는 SYNCDTECT 신호는 "H"로 되돌아간다.

MODE SEL0(IN) : MODE SEL0~2의 3단자에 의해 본 IC의 동작모드를 설정한다.

MODE SEL1(IN)

MODE SEL2(IN)

MODE SEL2	MODE SEL1	MODE SEL0	소프트섹터 하드섹터	SYNCDTECT 검출모드	SYNCDTECT	*2주파수 비교모드
L	L	L	소프트섹터	비상 동기화 검출모드	6바이트	1
L	L	H	"	"	6바이트	"
L	H	L	"	"	"	2
L	H	H	"	외부 동기화 검출모드	6바이트	1
H	L	L	"	"	8바이트	"
H	L	H	하드섹터	*1 READ GATE	6바이트	"
H	H	L	"	*1 "	8바이트	"
H	H	H	"	"	"	2

(주) DC 삭제방식은 본 IC에서 하드섹터모드를 사용하는 것도 가능하다.

*1 하드섹터의 경우, READ GATE 신호를 어서트한 후 최초의 RAWRD 신호의 하강에지에서

SYNCDTECT 신호는 액티브 "L"로 된다.

*2 주파수위상 비교모드가 2개 있다.

모드 1 : RAWRD 신호와 VCOIN 신호의 위상차분만 출력한다.

모드 2 : RAWRD 신호와 VCOIN 신호의 위상차에 VCOCLK 반주기~1주기분만 시간을 연장한 펄스를 출력한다.

AME(ADDRESS MARK ENABLE) (IN) : DC 삭제모드에만 본 입력단자를 사용하고, 소프트섹터의 어드레스마크 타이틀 및 어드레스 마크 검출시에 본 단자를 "H"로 한다.

어드레스마크 라이트시에는 본 단자의 입력신호와 WRITE GATE 신호가 함께 "H"인 기간에 DC삭제가 계속 된다. 또 어드레스마크 검출시에는 본 신호가 "H", WRITE GATE 신호가 "L"인 상태에서 DC삭제기간이 30REF CLK 주기이상 계속되었을 때 DC삭제종료후에 AMF(ADDRESS MARK FOUND) 신호를 출력한다. AMF신호가 출력되었을 때 디스크 컨트롤러(11)는 AMF(ADDRESS MARK ENABLE)신호를 "L"로 디스어스트한다.

AMSEL(IN) : 본 입력단자에 의해 어드레스 마크생성, 검출방식을 다음의 2모드에서 선택할 수 있다.

AMSEL	어드레스 마크생성, 검출방식
H	DC 억제
L	*7-2 일리컬 패턴

* 7-2 일리컬 패턴

2-7부호 규칙에서 벗어난 패턴으로 100000001001을 사용한다.

LCLK2(IN) : 라이트보상시에 사용하는 클럭으로써 NCLK(노멀클럭)에 대해서 위상이 늦은 클럭을 입력한다. 단 LCLK1(레이트 클럭 1)에 대해서 더욱 늦은 위상이다.

이 단자는 내부 게이트지연모드(\overline{WRPE} 신호가 "H", TSBSSEL 신호가 "4")에서는 \overline{TEST} 핀으로 되어 다음에 나타내는 모드로 된다.

LCLK2	내부논리회로
H	동상모드
L	네스트모드

단, 내부게이트 지연모드 이외일때에는 본 단자로의 입력 신호의 레벨에 관계없이 내부논리회로는 통상모드로 된다.

LOCK(IN) : 라이트 보상시에 사용하는 클럭으로써 NORMAL CLK에 대해서 위상이 늦은 클럭을 입력한다. 이 클럭은 테이블 2를 선택했을때에만 사용한다.

NCLK(IN) : 라이트 보상시에 사용하는 클럭에 의해 기준으로 되는 위상의 클럭을 입력한다. 내장게이트 지연모드에서는 CLKOUT단자와 접속한다.

ELCK1(IN) : 라이트 보상시에 사용하는 클럭으로 NCLK에 대해서 위상이 진행된 클럭을 입력한다. 단 CLKOUT신호에 대해서는 지연된 위상이다.

TABSEL(IN), \overline{WRPE} (IN) : TABSEL 과 \overline{WRPE} 단자에 의해 라이트시의 데이터 위상보상(WRITEPRECOMPENSATION)모드를 설정한다.

\overline{WRPE}	TABSEL	데이터비율	데이터상향성
L	L	2	외부보상용
L	H	1	"
H	L	2	내부지연보상용
H	H	1	외부보상용

(*1 프리보상의 테이블은 2개 갖고 있다.)

NRZWD(IN) : 디스크에 라이트하는 NRZ 신호를 본 단자에 부여한다. 이 신호는 입력시 본 IC의 RWCLK에 동기시킬 필요가 있다. 본 IC는 본 단자의 입력신호를 일단 반전시켜서 2-7로 변환한다.

\overline{NRZWD} (OUT) : 디스크에서 리드한 2-7부호를 \overline{NRZ} 신호로 변환한 결과의 입력단자이다. 본 신호는 RWCLK 신호에 동기하고 있다.

RWCLK(OUT) : 리드시에는 변환된 \overline{NRZRD} 에 동기한 클럭을 출력하고, 라이트시에는 REFCLK를 분주한 클럭을 출력하는 단자이다. 디스크 콘트롤러(11)은 리드시에는 이 클럭으로 NRZRD를 입력한다. 라이트시에는 \overline{NRZWD} 를 이 클럭에 동기시켜서 입력한다. 또 본 단자에서 출력하는 클럭은 클럭전환시의 클리치를 제거하고 있다.

VCOOUT(OUT) : VCO(8)의 출력단자로 본 출력단자를 직접 VCOIN단자에 접속한다.

\overline{VCOOUT} (OUT) : VCO의 출력단자로 본 출력단자를 직접 \overline{VCOIN} 단자에 접속한다. 또 본 출력 신호는 VCOOUT의 반전신호이지만 내부 VCO 회로의 대칭성을 사용해서 VCOOUT 신호 생성회로와 동일회로로 독립해서 생성한다.

SYNCRD(OUT) : VCO 클럭으로 래치한 2-7부호이다. 본 단자는 DLVRD를 사용하지 않는 무조정시에는 원도우 마진 테스트용 모니터핀으로써 DLVRD를 사용한다. 조정시에는 원도우센터 조정용 모니터핀으로써 사용하여 DLVRD의 위상을 조정한다.

$\overline{SYNCDTECT}$ (OUT) : 소프트 센터 모드 : 내장의 동기필드 검출회로의 출력 또는 EX SYNC IN 입력이 액티브 "H"로 된 것을 2비트 기간 검출하면, 본 단자는 "L"로 되어 MODE SEL0~20에 의해 설정한기

간 "L"이 계속된후 "H"로 된다.

하드섹터모드 : READ GATE가 액티브 "H"로 되면 RAWRD의 펄스 타이밍에서 본 단자는 "L"로 되고, MODE SEL0~2에 의해 설정한 기간 "L"이 계속된 후, "H"로 된다. 또, 소프트섹터, 하드섹터 모드 모두에 본 단자는 READ GATE 어서트된 후 한번만 액티브 "L"로 되고, 그후 다시 READ GATE가 어서트되기까지는 디

PHASESYNC

스예임을 된다. 정상인 경우에는 단자와 접속한다.

LATEDWG(OUT) : 라이트 개시할때의 WRITE GATE 신호의 상승을 16REFCLK주기 지연시킨 신호이다. 이 기간 중에 2~7 WRITE DATA 출력신호는 정상적인 신호 형태로 되어 있다.

AMF(ADDRESS MARK FOUND)(OUT) : DC삭제모드 : AME 신호가 "H", WRITE GATE 신호가 "L"에서 DC 삭제 기간이 30REFCLK 주기이상 계속했을때 CO 삭제 종료후에 본 신호가 "H"로 된다. 또, AME신호가 "L"로 되면 본 신호도 "L"로 된다.

2~7WD(OUT) : 디스크에 라이트하기 위해서 NRZ 신호에서 2~7부호로 변환된 신호의 출력단자이다.

CLKOUT(OUT) : 라이트시의 위상보상(라이트 프리보상)을 행할때에 기준으로 되는 클럭출력이다. 본신호는 IC내부에서 ECLK 2입력신호로써 사용한다.

FC : 루프필터의 감쇠율의 적정화를 위해서 사용한다. 본 단자를 사용하는 것에 의해 하이게인과 노멀게 인이 각각 독립해서 감쇠율을 설정할 수가 있다.

하이게인일때 : 본 단자에 접속된 내장 트랜지스터가 포화하고, 본 단자는 접지된다.

노멀게인일 때 : 본 단자에 접속된 내장 트랜지스터가 OFF하고, 본 단자는 하이 임피던스 상태로 된다.

RC : 하이게인시의 차지펄스출력전류를 설정하기 위한 저항접속단자이다. 이 저항값에 의해 차지펄스의 게인이 결정된다.

RT : T-1 변환 차지펄스 회로(14)의 샘플링 피드백게인을 1(이상값)에 설정하기 위한 저항접속단자이다. 전송 비율에 의해 결정된다.

CPOUT : 외부루프필터(7)로의 전류 출력단자이다. 통상적으로는 VIN 단자와 접속하고, 또 외부루프필터를 접속한다.

VIN : 내장된 VCO(8)의 제어전압 입력단자이다. 본 단자에 인가되는 전압에 의해 VCO의 발진주파수가 변한다. 또 ~~RRST~~ 신호 인에이블시에는 IC내부에서 생성된 VCO바이어스전압이 아날로그 스위치를 거쳐서 VIN 단자에 인가되고, VCO는 중심주파수에서 발진한다. 통상적으로는 CPOUT 단자와 접속한다.

RVCO : VCO의 중심 주파수를 설정하기 위한 저항접속 단자이다. 전송비율에 의해 결정된다.

DVCC : 디지털회로용 전원단자이다.

DGND : 디지털회로용 접지단자이다.

AVCC : 아날로그 회로용 전원단자이다.

AGND : 아날로그 회로용 접지단자이다.

이상으로 제1도 및 제16도에 도시한 단자군의 설명을 종료한다.

본 발명에 의하면 고속 대응의 인코더/디코더 내자오이 데이터 세퍼레이터를 저소비 전력에 의해 실현할 수 있으므로, 1칩의 IC로써 소형면을 갖는 패키지 등에 넣을 수 있어 소형 디스크용등의 데이터 세퍼레이터에 가장 적합하다고 할 수가 있다.

(57) 발구의 범위

청구항 1

원리드신호(16)에서 동기화된 리드신호(17)이 생성되는 데이터 세퍼레이터에 있어서, 상기 원리드신호(16)이 입력되고, 상기 원리드신호(16)에 동기화 클럭펄스(15)를 발생하는 위상동기화수단(5~8, 13, 14)와 상기 원리드신호(16)과 상기 위상동기화수단으로부터의 상기 클럭펄스(15)가 입력되고, 상기 클럭펄스(15)에 따라 형성된 윈도우를 사용하여 상기 동기화 리드신호(16)를 생성하는 동기화수단(9)을 포함하며, 상기 동기화수단(9)은 동기화 데이터 생성부(153) 및 상기 원리드신호(16)과 상기 클럭펄스(15)를 각각 상기 동기화 데이터 생성부(153)에 전송하는 2개의 신호 경로를 형성하는 여러개의 게이트회로(130, 131, 137~139) (133, 134, 140~143)를 갖고, 각각의 신호경로 (130, 131, 133, 134)상에서 상기 게이트회로의 적어도 1개에 바이폴라-CMOS게이트 회로가 사용되고 있는 데이터 세퍼레이터.

청구항 2

특허청구의 범위 제1항에 있어서, 상기 원리드신호가 상기 동기화 데이터 생성부에 전송되는 신호경로에 의해 정의된 상기 게이트회로의 단수는 상기 클럭펄스가 상기 2개의 신호경로의 다른쪽에서 상기 동기화 데이터 생성부에 전송되는 상기 게이트회로의 단수와 동일한 데이터 세퍼레이터.

청구항 3

디스크 장치(1~4)로부터 유도된 데이터에 따르는 원리드신호(16)이 입력되고 동기화필드(18) 및 상기 동기화필드(18)에 동기화 리드신호(17)이 출력되는 데이터 세퍼레이터에 있어서, 위상비교기(5), 상기 위상비교기에 접속된 차지펄스회로(6), 상기 차지펄스회로에 접속된 프로필터(7) 및 상기 루프필터(7)에 접

속된 VCO(8)를 구비하고, 상기 원리드신호(16)이 입력되며, 상기 VCO(8)의 출력으로서 상기 원리드신호(16)에 위상동기화 동기화 클럭신호(15)를 생성하는 위상동기화수단과 상기 원리드신호(16)과 상기 동기화 클럭신호(15)가 입력되고, 상기 동기화 리드신호(17)과 상기 동기화 펄스(18)를 생성하기 위해 동기화 데이터 생성부(153)를 갖는 동기화수단(9)을 포함하며, 상기 원리드신호(16)이 상기 동기화 데이터 생성부(153)에 도달하는 제1의 신호경로(130, 131, 137~139)를 형성하는 게이트회로의 단수는 상기 동기화 클럭신호(15)가 상기 동기화 데이터 생성부(153)에 도달하는 제2의 신호경로(133, 134, 140~143)를 형성하는 게이트회로의 단수와 동일하고, 또한, 상기 제1 및 제2의 신호경로를 각각 형성하는 상기 게이트회로중의 하나에 그 각각이 대응하는 적어도 한쌍의 게이트(130, 131, 133, 134)가 바이폴라-CMOS구조로 마련된 데이터 세퍼레이터.

청구항 4

디스크 형상의 기록매체(1)상에서의 데이터의 라이드 및 리드를 위한 장치에 사용되는 신호처리 회로에 있어서, 상기 기록매체(1)에서 유도된 상기 데이터에 대응하는 원리드신호(16)이 입력되고, 동기화 클럭신호(18)과 상기 동기화 클럭신호(18)에 동기화 동기화 리드신호(17)를 생성하며, 위상비교기(5), 상기 위상비교기(5)에 접속된 차지점프회로(6), 상기 차지점프회로(6)에 접속된 루프필터(7) 및 상기 루프필터(7)에 접속된 VCO(8)를 구비하고 상기 원리드신호(16)에 따라 상기 원리드신호(16)에 동기화 클럭펄스(15)를 발생하는 위상 동기화수단과 상기 원리드신호(16)와 상기 클럭펄스(15)상기 동기화 리드신호(17)과 상기 동기화 클럭신호(18)를 생성하는 동기화수단(9)을 갖는 신호생성수단(5~9), 상기 신호생성수단(5~9)로부터의 상기 동기화 클럭신호(18)과 상기 동기화 리드신호(17)이 입력되고, 복조데이터를 마련하는 부호디코딩 수단(10-1), 상기 동기화 클럭신호(18)과 동일 주파수인 라이드 클럭신호에 따라 디스크 콘트롤러(11)에서의 데이터를 부호 데이터로 인코딩하는 부호 인코딩 수단(10-2)와 상기 부호 인코딩 수단(10-2)의 출력인 상기 부호 데이터에 대하여 피크 시프트에 대한 라이드 보상을 실행하는 수단(46)을 포함하며, 상기 각 수단은 동일 반도체상에 구성되고, 상기 반도체칩은 바이폴라-트랜지스터와 CMOS트랜지스터가 혼합되어 있는 바이폴라-CMOS 회로를 포함하며, 상기 VCO(8)의 입력단(81)은 고입력 임피던스를 갖는 MOS 트랜지스터로 구성되고, 상기 VCO(8)의 발진부(83)는 고속의 바이폴라 트랜지스터를 포함하는 신호처리회로.

청구항 5

특허청구의 범위 제4항에 있어서, 상기 위상비교기는 적어도 1개의 바이폴라-CMOS 게이트를 갖는 신호처리회로.

청구항 6

특허청구의 범위 제4항에 있어서, 상기 동기화 수단은 적어도 1개의 바이폴라-CMOS 게이트를 갖는 신호처리회로.

청구항 7

특허청구의 범위 제4항에 있어서, 또 상기 원리드신호가 입력되고, 상기 동기화수단에 이르는 신호경로에 탭을 가진 가변지연수단을 구비하는 윈도우센터 조정수단과 상기 동기화수단의 출력이 입력되고, 상기 동기화 리드신호의 여러 발생의 유무를 판단하는 윈도우에러 검출수단을 포함하는 신호처리회로.

청구항 8

특허청구의 범위 제7항에 있어서, 또 외부에서 공급된 제어신호에 따라 상기 탭을 갖는 지연수단의 상기 탭을 시프트하는 수단, 상기 윈도우에러 검출수단의 출력에 따라 상기 지연수단의 재생복호 가능한 탭으로부터 최대 지연량 및 최소 지연량을 얻은 검출수단과 최대 지연량을 얻기 위한 탭과 최소 지연량을 얻기 위한 탭을 임의의 비율로 분할하여 지연량의 선택을 실행하는 선택수단을 포함하는 신호처리회로.

청구항 9

특허청구의 범위 제8항에 있어서, 상기 탭을 갖는 지연수단은 CMOS인버터 게이트와 바이폴라-CMOS인버터 게이트가 교대로 직렬접속된 구성을 갖는 신호처리회로.

청구항 10

기록매체(1)에서 데이터가 재생되는 장치에 있어서, 상기 기록매체(1)상에 상기 데이터에 대응하는 RAW 리드데이터(16)를 재생하는 재생수단(3, 4), 상기 재생수단에 의해 재생된 상기 RAW 리드데이터에 따라 상기 RAW 리드데이터(16)에 동기화 클럭펄스신호(15)를 생성하는 위상 동기화수단(5~8), 상기 RAW 리드데이터와 상기 위상 동기화수단(5~8)에 의해 생성된 상기 클럭펄스신호(15)에 따라 동기화 리드데이터(17)와 상기 동기화 리드데이터에 동기화 동기화 클럭펄스(18)를 마련하며, 그의 일부를 구성하기 위해 바이폴라-CMOS 게이트회로가 사용되는 동기화수단(90), 상기 동기화수단(90)으로부터의 상기 동기화 클럭펄스(18)와 상기 동기화 리드데이터(17)에 따라 복조데이터를 마련하는 부호 디코딩 수단(10)과 상기 복조데이터에 따라 상기 복조데이터를 처리하는 제어수단(11)을 포함하는 장치.

청구항 11

특허청구의 범위 제10항에 있어서, 상기 클럭펄스 신호의 주파수는 최대로 상기 RAW 리드데이터 주파수의 8배인 장치.

청구항 12

특허청구의 범위 제10항에 있어서, 상기 재생수단으로의 상기 데이터의 데이터 전송 속도는 14Mbps보다 높은 장치.

청구항 13

특허청구의 범위 제10항에 있어서, 상기 동기화수단은 동기화 데이터 생성부를 갖고, 상기 RAW 리드데이터 및 상기 클럭펄스신호가 입력되며, 상기 동기화 리드데이터와 상기 동기화 클럭펄스를 발생하고, 상기 RAW 리드데이터가 상기 동기화 데이터 생성부에 도달하는 제1의 신호경로를 형성하는 게이트회로의 단수는 상기 클럭펄스신호가 상기 동기화 데이터 생성부에 도달하는 제2의 신호경로를 형성하는 게이트 회로의 단수와 동일하고, 또한, 상기 제1 및 제2의 신호경로를 각각 형성하는 상기 게이트회로중의 하나에 그 각각이 대응하는 적어도 한쌍의 게이트가 바이폴라-CMOS구조로 마련된 장치.

청구항 14

특허청구의 범위 제10항에 있어서, 또 상기 동기화 클럭펄스와 동일 주파수인 라이트 클럭신호에 따라 상기 제어수단에서 유도된 라이트 데이터를 부호 데이터로 인코딩하는 부호 인코딩 수단을 포함하는 장치.

청구항 15

특허청구의 범위 제14항에 있어서, 또 상기 부호 인코딩 수단의 출력인 상기 부호 데이터에 대하여 피크 시프트에 대한 라이트보상을 실행하는 수단을 포함하는 장치.

청구항 16

디스크 형상의 기록매체(1)에서 데이터가 재생되는 디스크 장치에 있어서, 상기 기록매체(1)에서 리드된 상기 데이터에 따라 RAW리드데이터(16)를 재생하고, 적어도 상기 디스크 형상의 기록 매체를 회전시키는 수단(2)와 상기 디스크 형상의 기록매체(1)에서 상기 데이터를 리드하는 수단(3)을 포함하는 재생수단, 동기화 리드데이터(17)와 상기 동기화 리드데이터(17)에 동기화 클럭펄스(18)를 생성하도록 상기 재생수단에 의해 재생된 상기 RAW리드데이터(16)를 처리하고, 상기 RAW리드데이터 (16)에 따라 상기 RAW 리드데이터(16)에 동기화 클럭펄스신호(15)를 생성하는 위상동기 루프수단(12)와 상기 위상동기루프수단(12)에 의해 생성된 상기 클럭펄스신호 (15)와 상기 RAW 리드데이터(16)에 따라 상기 동기화 리드데이터(17)와 상기 동기화 클럭펄스(18)를 마련하는 동기화수단(90)을 포함하며, 그의 일부분을 구성하기 위해 적어도 1개의 바이폴라-CMOS게이트회로를 사용하는 신호처리수단, 상기 신호처리수단으로부터의 상기 동기화 클럭펄스(18)와 상기 동기화 리드데이터(17)에 따라 복조데이터를 마련하는 부호 디코딩 수단(10)과 상기 복조데이터에 따라 상기 복조데이터를 처리하는 제어수단(11)을 포함하는 디스크 장치.

청구항 17

특허청구의 범위 제16항에 있어서, 상기 클럭펄스신호의 주파수는 최대로 상기 RAW 리드데이터 주파수의 8배인 디스크 장치.

청구항 18

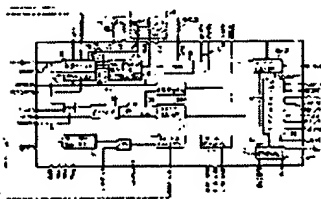
특허청구의 범위 제16항에 있어서, 상기 재생수단으로의 상기 데이터의 데이터 전송 속도는 15Mbps보다 높은 디스크 장치.

청구항 19

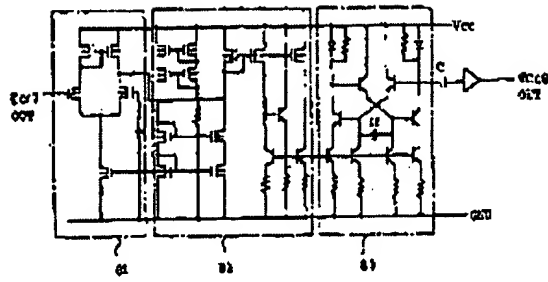
특허청구의 범위 제16항에 있어서, 상기 동기화수단은 상기 동기화 리드데이터와 상기 클럭펄스신호를 각각 전달하는 제1 및 제2의 신호경로와 상기 RAW리드데이터와 상기 클럭펄스신호가 상기 제1 및 제2의 신호경로를 거쳐서 입력되고 상기 동기화 리드데이터와 상기 동기화 클럭펄스를 생성하는 동기화 데이터 생성부를 갖고, 상기 제1 및 제2의 신호경로를 각각 형성하는 상기 게이트회로중의 하나에 그 각각이 대응하는 적어도 한쌍의 게이트가 바이폴라-CMOS구조로 마련된 디스크 장치.

도면

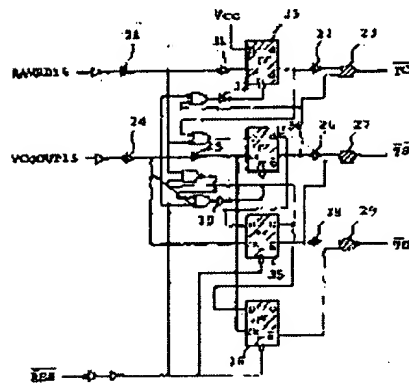
도면 1



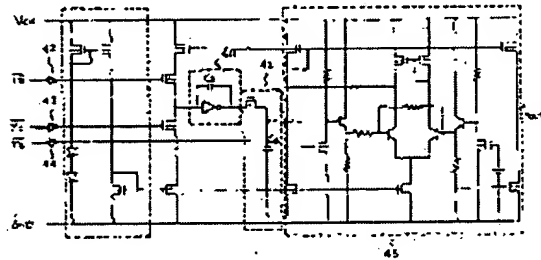
EB2



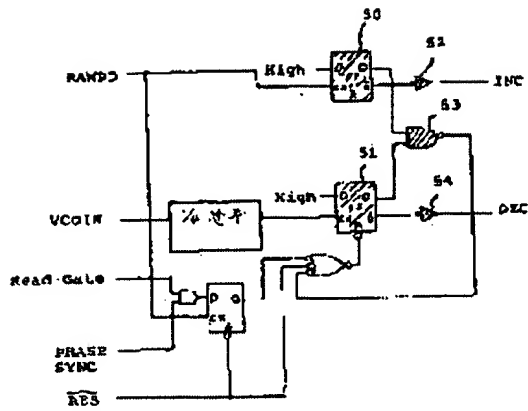
EB3



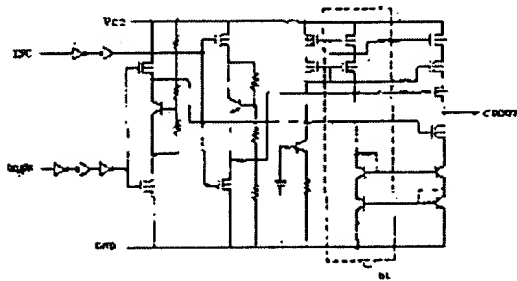
EB4



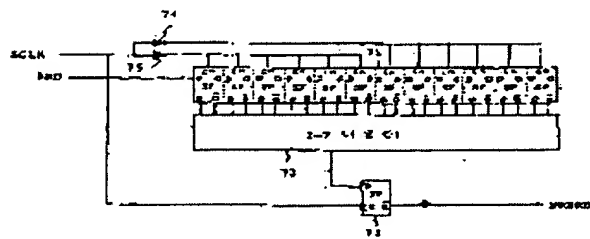
도 5



도 6



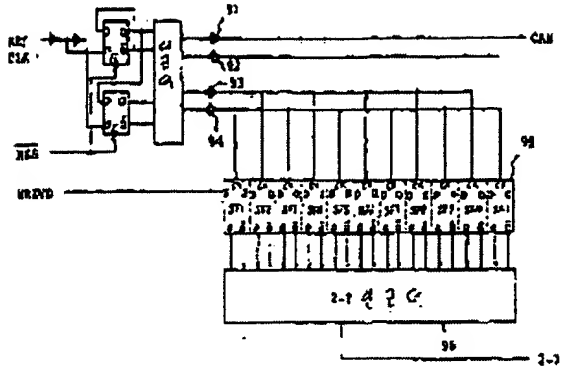
도 7



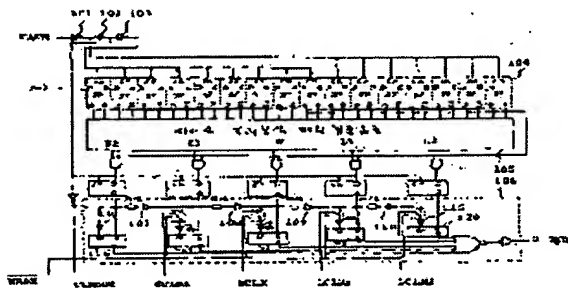
도 8

MRZ	2-7 2 4
1 0	0 1 0 0
1 1	1 0 0 0
0 0 0	0 0 0 1 0 0
0 1 0	1 0 0 1 0 0
0 1 1	0 0 1 0 0 0
0 0 1 0	0 0 1 0 0 1 0 0
0 0 1 1	0 0 0 0 1 0 0 0

도 9



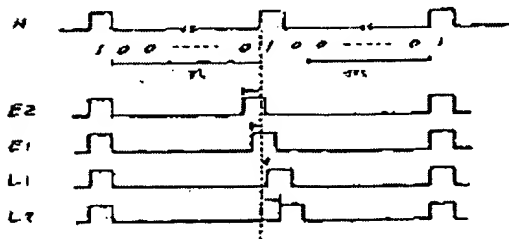
도 10



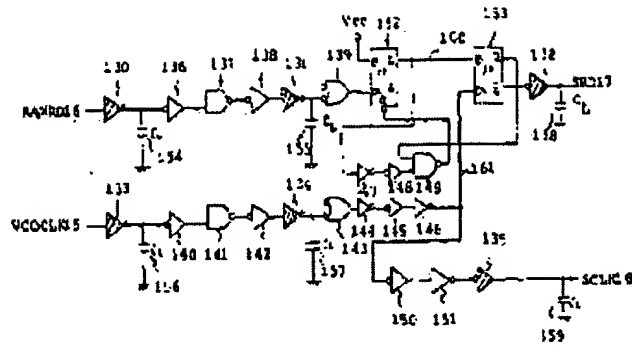
도 11

1	2	3	4	5	6	7
2	N	E ₁	E ₂	E ₃	E ₄	E ₅
3	L	N	E ₁	E ₂	E ₃	E ₄
4	L	L	N	E ₁	E ₂	E ₃
5	L	L	N	N	N	N
6	L	L	L	N	N	N
7	L	L	L	N	N	N

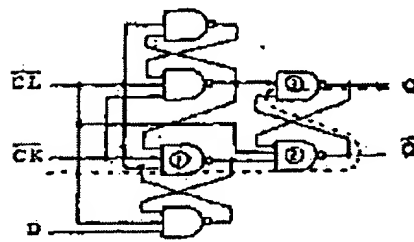
도 12



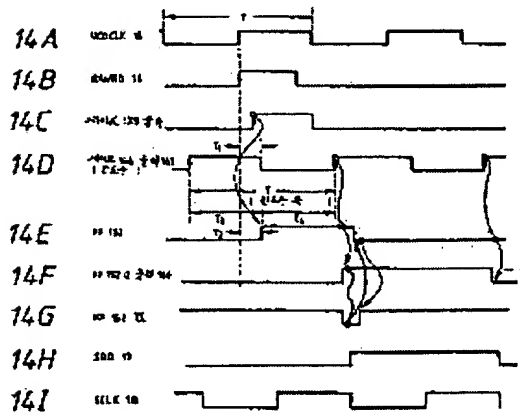
도면 13A



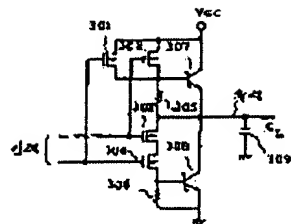
도면 13B



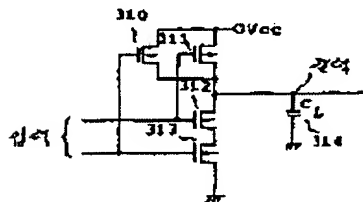
도면 14



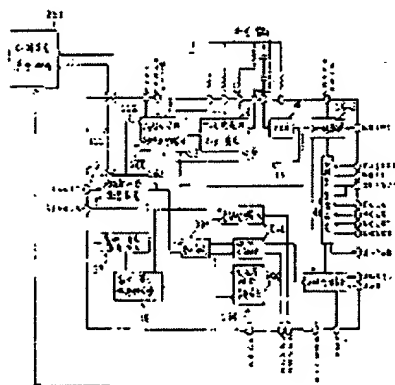
도면 15A



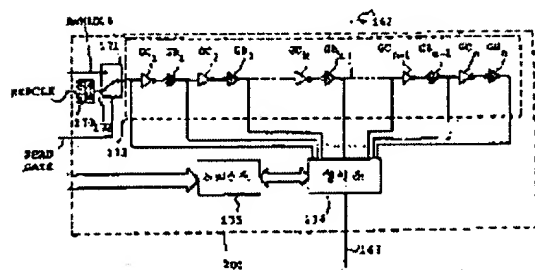
도면 15B



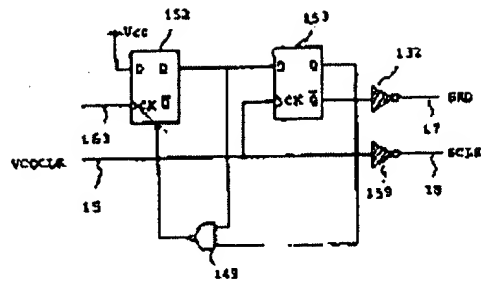
도면 10



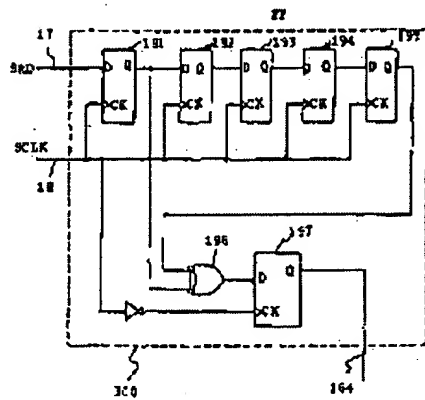
도면 17



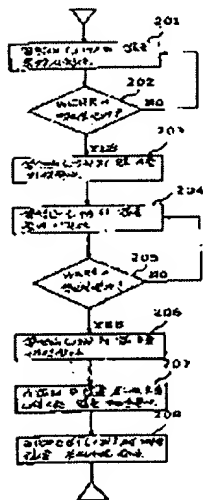
SEP 18



5010



5020



도 21A

도 21B

~~~~~

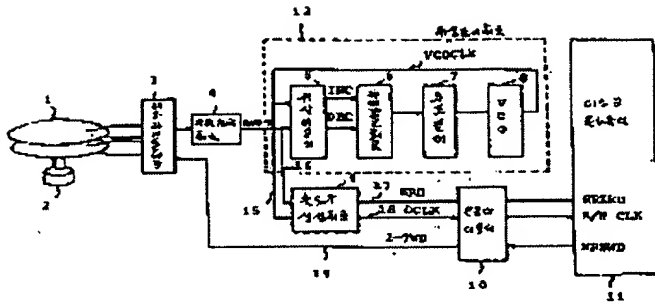
도 21C

\_\_\_\_\_

도 21D

=====

도 22A



도 22B

